

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-284671

(43)Date of publication of application : 15.10.1999

(51)Int.Cl.

H04L 25/52
H03M 5/06
H04J 3/00
H04J 3/08
H04L 7/00
H04N 7/16
H04N 7/167

(21)Application number : 10-086604

(71)Applicant : SONY CORP

(22)Date of filing : 31.03.1998

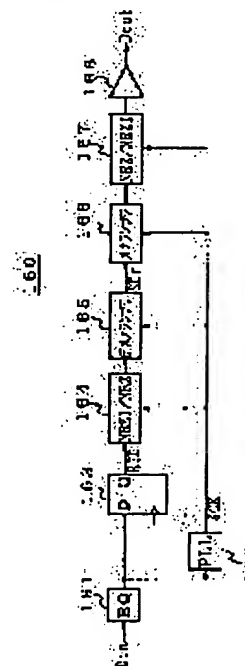
(72)Inventor : MUNAKATA ICHIRO

(54) SIGNAL PROCESSING CIRCUIT AND SIGNAL PROCESSING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a highly reliable serial transmission at a low cost with a small circuit scale by preventing multistage propagation of a pathological signal (pattern data with maximum component, etc.), and minimizing a cumulative increase of jitters in the multistage relaying.

SOLUTION: A repeater 160 supplies data Din transmitted by a coaxial cable to an equalizer 161 to compensate attenuation characteristics and then a D flip-flop 163 latches the data by using a serial clock signal SCK reproduced from the data Din to obtain reception data RSD. The reception data RSD is converted by a converter 164 from an NRZI (non-return-to-zero inverted) code to an NRZ(non-return-to-zero) code and descrambled by a descrambler 165 to obtain serial digital data SDr. The data SDr is scrambled by a scrambler 166 and further converted by a converter 167 from the NRZ code to the NRZZI code to obtain data Dout to be resent, so that the data Dout is sent out to the coaxial cable through a cable driver 168.



LEGAL STATUS

[Date of request for examination]

07.12.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-284671

(43)公開日 平成11年(1999)10月15日

(51)Int.Cl. ⁸	識別記号	F I	
H 0 4 L	25/52	H 0 4 L	25/52 A
H 0 3 M	5/06	H 0 3 M	5/06
H 0 4 J	3/00	H 0 4 J	3/00 Z
	3/08		3/08 A
H 0 4 L	7/00	H 0 4 L	7/00 C

審査請求 未請求 請求項の数4 O L (全 13 頁) 最終頁に続く

(21)出願番号 特願平10-86604

(22)出願日 平成10年(1998) 3 月31日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72)発明者 宗像 一郎

東京都品川区北品川 6 丁目 7 番35号 ソニ
ー株式会社内

(74)代理人 弁理士 山口 邦夫 (外 1 名)

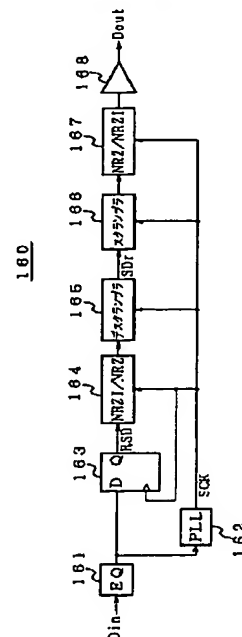
(54)【発明の名称】 信号処理回路および信号処理方法

(57)【要約】

【課題】パソロジカル信号（直流成分が最大となるパターンデータ等）の多段伝搬を防止して多段中継時のジッタの累積増加を最小限に抑え、小さな回路規模でかつ安価に、高信頼性のシリアル伝送を可能にする。

【解決手段】同軸ケーブルで送信されてくるデータ D_{in} を等化器 161 に供給して減衰特性を補償し、その後に D フリップフロップ 163 で、データ D_{in} より再生されたシリアルクロック信号 SCK を使用してラッチし、受信データ RSD を得る。この受信データ RSD を、変換器 164 で $NRZ I$ 符号から NRZ 符号に変換し、デスクランブラ 165 でデスクランブルしてシリアルデジタルデータ SDr を得る。そして、このデータ SDr をスクランブラ 166 でスクランブルし、さらに変換器 167 で NRZ 符号から $NRZ I$ 符号に変換して再送出データ $Dout$ を得、このデータ $Dout$ をケーブルドライバ 168 を通じて同軸ケーブルに送出する。

中継器の構成



【特許請求の範囲】

【請求項1】 所定のシリアルデジタルデータにある生成多項式で表されるスクランブル処理を施して得られた入力シリアルデジタルデータに対してデスクランブル処理をする第1の信号処理手段と、

上記第1の信号処理手段より出力されるシリアルデジタルデータに対して上記生成多項式で表されるスクランブル処理を施して出力シリアルデジタルデータを得る第2の信号処理手段とを備えることを特徴とする信号処理回路。

【請求項2】 上記入力シリアルデジタルデータは、上記所定のシリアルデジタルデータに上記生成多項式で表されるスクランブル処理を施し、さらにNRZ符号からNRZI符号に変換してなることを特徴とする請求項1に記載の信号処理回路。

【請求項3】 上記第1の信号処理手段の前段に、上記入力シリアルデジタルデータをNRZI符号からNRZ符号に変換するための第1の信号変換手段を備えると共に、

上記第2の信号処理手段の後段に、上記第2の信号処理手段より出力されるシリアルデジタルデータをNRZ符号からNRZI符号に変換して上記出力シリアルデジタルデータを得る第2の信号変換手段を備えることを特徴とする請求項2に記載の信号処理回路。

【請求項4】 所定のシリアルデジタルデータにある生成多項式で表されるスクランブル処理を施して得られた入力シリアルデジタルデータに対してデスクランブル処理を施す第1の工程と、

上記第1の工程で得られるシリアルデジタルデータに対して上記生成多項式で表されるスクランブル処理を施して出力シリアルデジタルデータを得る第2の工程とを備えることを特徴とする信号処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、シリアルデジタル伝送方式の中継器に適用して好適な信号処理回路および信号処理方法に関する。詳しくは、所定のデジタルデータにある生成多項式で表されるスクランブル処理を施して得られた入力シリアルデジタルデータに対して、デスクランブル処理をし、その後上記生成多項式で表されるスクランブル処理を施して出力シリアルデジタルデータを得ることによって、パソロジカル信号の多段伝搬を防止して多段中継時のジッタの累積増加を最小限に抑え、小さな回路規模でかつ安価に、高信頼性のシリアル伝送を可能にする信号処理回路等に係るものである。

【0002】

【従来の技術】既に放送機器において実現されているSDI (Serial Digital Interface) 伝送方式 (SMPTE-295Mにて規格化されている) では、シリアル化

したデジタルデータの“0”または“1”の連続を制限するために、シリアルデジタルデータに対して生成多項式 ($X^9 + X^4 + 1$) で表されるスクランブル処理を行うと共に、さらに非平衡伝送路としての同軸ケーブルを用いるため無極性化処理としてNRZ符号からNRZI符号に変換して出力データを得、その出力データを同軸伝送路に送出している。

【0003】図4は、SDI伝送システム200の構成例を示している。このSDI伝送システム200は、送信側に配設されるSDIフォーマットエンコーダ210および伝送データエンコーダ220と、受信側に配設される伝送データデコーダ230およびSDIフォーマットデコーダ240と、送信側の伝送データエンコーダ220と受信側の伝送データデコーダ230とを接続する同軸ケーブル250と、その同軸ケーブル250の途中に所定の間隔をもって挿入されるn個の中継器 (リピータ) 260-1 ~ 260-nとを有して構成されている。

【0004】SDIフォーマットエンコーダ210は、入力されるビデオデータVinおよびオーディオデータAinを処理して、SDIフォーマットの10ビットのパラレルデジタルデータPdtを生成して出力するものである。

【0005】ここで、上述したSDIフォーマットについて説明する。このSDIフォーマットは、デジタルのオーディオ信号やビデオ信号の規格として、テレビジョンや映像工学に関する規格を発行するSMPTE (Society of Motion Picture and Television Engineers) のSMPTE-259Mで標準化されている。この規格は、基本的には、デジタル信号規格であるD-1フォーマットもしくはD-2フォーマットを対象とした信号の規格である。

【0006】図5AはSDIフォーマットのビデオ信号のフレームの全体構成、図5BはSDIフォーマットの伝送用パケットの構成を示している。

【0007】NTSC525方式のビデオ信号の場合、SDIフォーマットのデジタルビデオ信号は、水平方向に1ライン当たり、 $(4 + 268 + 4 + 1440) = 1716$ ワード、垂直方向に525ラインで構成されている。また、PAL625方式のビデオ信号の場合、SDIフォーマットのデジタルビデオ信号は、水平方向に1ライン当たり、 $(4 + 280 + 4 + 1440) = 1728$ ワード、垂直方向に625ラインで構成されている。ただし、10ビット/ワードである。なお、図5A、Bにおいて、括弧内の数字は、PAL625方式のビデオ信号の数値を示しており、括弧がない数字はNTSC525方式のビデオ信号の数値を示している。以下、NTSC方式についてのみ説明する。

【0008】各ラインについて、第1ワードから第4ワードまでの4ワードは、アクティブビデオ部ACVの終了を示し、アクティブビデオ部ACVと後述するアンシ

ラリデータ部HANCとを分離するアクティブビデオ部終了符号EAV(End of Active Video)を格納する領域として用いられる。4ワードの符号EAVは、16進表示で、3FF, 000, 000, XYZ(任意のデータ)である。

【0009】また、各ラインについて、第5ワードから第272ワードまでの268ワードは、アンシラリデータ部HANCとして用いられ、ヘッダ、補助データ、オーディオデータ等が格納される。

【0010】また、各ラインについて、第273ワードから第276ワードまでの4ワードは、アクティブビデオ部ACVの開始を示し、アクティブビデオ部ACVとアンシラリデータ部HANCとを分離するアクティブビデオ部開始符号SAV(Start of Active Video)を格納する領域として用いられる。4ワードの符号SAVは、16進表示で、3FF, 000, 000, XYZ(任意のデータ)であり、最初の3ワードは上述した符号EAVと同じデータである。

【0011】また、各ラインについて、第277ワードから第1716ワードの1440ワードは、アクティブビデオ部ACVとして用いられ、ビデオデータが格納される。そして、525ラインは、2つに大きく領域が分割されている。つまり、第20ラインから第263ラインまでの244ラインが第1フィールドのアクティブビデオ部ACV1として用いられ、第283ラインから第525ラインまでの243ラインが第2フィールドのアクティブビデオ部ACV2として用いられる。

【0012】なお、アクティブビデオ部ACV1, ACV2の前には、それぞれ9ライン分の垂直ブランキング部VBK1, VBK2と、10ライン分のオプションブランキング部OBK1, OBK2とが設けられている。

【0013】また、図4に戻って、伝送データエンコーダ220は、SDIフォーマットエンコーダ210より出力されるパラレルデジタルデータPDtをシリアルデジタルデータSDtに変換するためのP/S(parallel-to-serial)変換器221と、このシリアルデジタルデータSDtに対して生成多項式($X^9 + X^4 + 1$)で表されるスクランブル処理を行うスクランブラ222と、このスクランブラ222でスクランブル処理されて得られるシリアルデジタルデータに対して、非平衡伝送路としての同軸ケーブル250を用いるために、無極性化処理としてNRZ(non-return-to-zero)符号からNRZI(non-return-to-zero-inverted)符号に変換して送信データ(シリアルデジタルデータ)TSDを得るNRZ/NRZI変換器223とを有している。

【0014】また、伝送データエンコーダ220は、NRZ/NRZI変換器223で得られる送信データTSDを同軸ケーブル250に送出するためのケーブルドライバ224と、SDIフォーマットエンコーダ210よ

り、パラレルデジタルデータPDtと共に出力されるパラレルクロック信号PCKtを参照し、その10倍の周波数のシリアルクロック信号SCKtを得るPLL

(phase-locked loop)回路225とを有している。ここで、P/S変換器221はパラレルクロック信号PCKtおよびシリアルクロック信号SCKtを使用して動作し、スクランブラ222およびNRZ/NRZI変換器223はシリアルクロック信号SCKtを使用して動作する。

【0015】図6は、スクランブラ222およびNRZ/NRZI変換器223の具体構成を示している。スクランブラ222は、それぞれシリアルクロック信号SCKtで動作する9個のDフリップフロップと、2個の排他的論理和ゲートとで構成されている。NRZ/NRZI変換器223は、シリアルクロック信号SCKtで動作する1個のDフリップフロップと、1個の排他的論理和ゲートとで構成されている。この場合、スクランブラ222およびNRZ/NRZI変換器223では、シリアルデジタルデータSDtに対して、 $G(x) = (x + 1)(x^9 + x^4 + 1)$ の多項式でモジュロ2の除算を行って送信データTSDを得ていることになる。

【0016】また、図1に戻って、中継器260-1~260-nは、それぞれ受信データから抽出したクロック信号によってデータ再生(リジェネレーション)処理をし、再生されたデータを同軸ケーブル250に再送出するものである。

【0017】図7は、中継器260(260-1~260-n)の構成を示している。この中継器260は、同軸ケーブル250(図7には図示せず)で送られてくるデータDinに対して、同軸ケーブル250の長さ依存する周波数依存性の減衰特性を補償するケーブル等化器261と、このケーブル等化器261の出力データに同期したシリアルクロック信号SCKを再生するPLL回路262と、ケーブル等化器261の出力データをシリアルクロック信号SCKでラッチして再送出データDoutを得るDフリップフロップ263と、その再送出データDoutを同軸ケーブル250に送出するためのケーブルドライバ264とを有している。この場合、ケーブル等化器261およびDフリップフロップ263によりデータ再生処理が行われる。

【0018】図7に示す中継器260の動作を説明する。同軸ケーブル250で送られてくるデータDinはケーブル等化器261に供給されて減衰特性が補償され、このケーブル等化器261の出力データはDフリップフロップ263およびPLL回路262に供給される。そして、PLL回路262ではケーブル等化器261の出力データに同期したシリアルクロック信号SCKが得られ、このシリアルクロック信号SCKはDフリップフロップ263に供給される。Dフリップフロップ263では、ケーブル等化器261の出力データがクロック信号

SCKでラッチされ、再送出データDoutが得られる。そして、この再送出データDoutがケーブルドライバ264を通じて同軸ケーブル250に送出される。

【0019】また、図4に戻って、伝送データデコーダ230は、同軸ケーブル250で送られてくるデータに対して、同軸ケーブル250の長さに依存する周波数依存性の減衰特性を補償するケーブル等化器231と、このケーブル等化器231の出力データに同期したシリアルクロック信号SCKrを再生するPLL回路232と、ケーブル等化器231の出力データをシリアルクロック信号SCKrでラッチして受信データRSDを得るDフリップフロップ233とを有している。この場合、ケーブル等化器231およびDフリップフロップ233によりデータ再生処理が行われる。

【0020】また、伝送データデコーダ230は、伝送データエンコーダ220におけるNRZ/NRZI変換器223の動作とは逆に、受信データRSDをNRZI符号からNRZ符号に変換するNRZI/NRZ変換器234と、このNRZI/NRZ変換器234の出力データに対して、伝送データエンコーダ220におけるスクランブラ222の動作とは逆に、デスクランブル処理をしてシリアルデジタルデータSDrを得るデスクランブラ235と、このシリアルデジタルデータSDrをSDIフォーマットの10ビットの平行デジタルデータPDrに変換するためのS/P(serial-to-parallel)変換器236とを有している。

【0021】ここで、NRZI/NRZ変換器234およびデスクランブラ235は、PLL回路232で得られるシリアルクロック信号SCKrを使用して動作し、S/P変換器236はそのシリアルクロック信号SCKrと、S/P変換器236の内部で得られる平行クロック信号PCKrとを使用して動作する。この場合、S/P変換器236の内部では、例えば、シリアルデジタルデータSDrよりパターンマッチング処理によってSAVやEAVを検出し、その検出タイミングに基づいて平行クロック信号PCKrの位相を決定している。

【0022】図8は、NRZI/NRZ変換器234およびデスクランブラ235の具体構成を示している。NRZI/NRZ変換器234は、シリアルクロック信号SCKrで動作する1個のDフリップフロップと、1個の排他的論理和ゲートとで構成されている。デスクランブラ235は、それぞれシリアルクロック信号SCKrで動作する9個のDフリップフロップと、2個の排他的論理和ゲートとで構成されている。この場合、NRZI/NRZ変換器234およびデスクランブラ235では、受信データRSDに対して、 $G(x) = (x+1)(x^9+x^4+1)$ の多項式でモジュロ2の乗算を行ってシリアルデジタルデータSDrを得ていることになる。

【0023】また、図4に戻って、SDIフォーマットデコーダ240は、伝送データデコーダ230より出力されるSDIフォーマットの10ビットの平行デジタルデータPDtに対して、上述したSDIフォーマットエンコーダ210とは逆の処理をして、ビデオデータVoutおよびオーディオデータAoutを出力するものである。このSDIフォーマットデコーダ240には、伝送データデコーダ230より平行クロック信号PCKrが供給されて使用される。

【0024】次に、図4に示すSDI伝送システム200の動作を説明する。

【0025】送信側において、ビデオデータVinおよびオーディオデータVoutがSDIフォーマットエンコーダ210に供給されて処理され、SDIフォーマットの10ビットの平行デジタルデータPDtが生成される。この平行デジタルデータPDtは伝送データエンコーダ220に供給され、P/S変換器221でシリアルデジタルデータSDtに変換され、スクランブラ222でスクランブル処理され、さらにNRZ/NRZI変換器223でNRZ符号からNRZI符号に変換されて送信データTSDが得られる。そして、この送信データTSDがケーブルドライバ224より同軸ケーブル250に送出され、中継器260-1~260-nを通じて受信側に送信される。

【0026】また、受信側において、同軸ケーブル250で送られてくるデータは伝送データデコーダ230に供給され、ケーブル等化器231およびDフリップフロップ233でデータ再生処理が行われて受信データRSDが得られる。そして、この受信データRSDが、NRZI/NRZ変換器234でNRZI符号からNRZ符号に変換され、デスクランブラ235でデスクランブル処理されてシリアルデジタルデータSDrが得られ、さらにS/P変換器236でSDIフォーマットの10ビットの平行デジタルデータPDrに変換される。そして、この平行デジタルデータPDrがSDIフォーマットデコーダ240に供給されて処理され、ビデオデータVoutおよびオーディオデータAoutが得られる。

【0027】

【発明が解決しようとする課題】ところで、上述したように、送信側で、シリアルデジタルデータSDtに対して生成多項式 (X^9+X^4+1) で表されるスクランブル処理を行うと共に、さらにNRZ符号からNRZI符号に変換して送信データTSDを得るものにあっては、平行デジタルデータPDtのパターンによっては、以下のような不都合が発生する。

【0028】例えば、平行デジタルデータPDtが、図9Aに示すように、16進数で「300」と「198」の10ビットデータが交互に連続するパターンになるとき、スクランブラ222およびNRZ/NRZI

変換器223におけるDフリップフロップが特定の状態にあると、送信データTSDが、図9Bまたは図9Cに示すように、直流成分が最大となるパターンデータ（サグデータ）となる。

【0029】上述せずも、送信データTSDがケーブルドライバ224より同軸ケーブル250に送出される際には直流成分がカットされるため、同軸ケーブル250上でのサグデータ（図9Cに対応）の波形は、図10に示すように、正側のレベルが大きく、負側のレベルが小さいものとなる。そのため、中継器260-1～260-nのケーブル等化器261で等化エラーを引き起こし易くなる。

【0030】また、例えば、パラレルデジタルデータPDtが、図11Aに示すように、16進数で「110」と「200」の10ビットデータが交互に連続するパターンとなると、スクランブラ222およびNRZ/NRZI変換器223におけるDフリップフロップが特定の状態にあると、送信データTSDが、図11Bに示すように、“0”および“1”が交互に20クロック周期連続するパターンデータ（ビットスリップデータ）となる。送信データTSDがビットスリップデータとなると、中継器260-1～260-nのPLL回路262ではクロック再生のための位相情報が少なくなるためにクロック再生エラーを引き起こし易くなる。

【0031】図4に示すSDI伝送システム200のように、同軸ケーブル250に中継器260-1～260-nを挿入して多段中継をする場合、送信されていくデータのジッタ量（時間的揺らぎ量）は、通常中継段数の1/2乗に比例して増加する。送信データTSDがサグデータやビットスリップデータ（以下、「パソロジカル信号」という）である場合、このパソロジカル信号が多段伝搬していき、上述した等化エラーやクロック再生エラーのために各中継器で加算されるジッタは大きい。したがって、送信データTSDがパソロジカル信号となる場合、受信側に送信されてくるデータのジッタ量は大きくなり、受信データのエラーが大きくなるという問題がある。

【0032】図12は、多段中継時におけるジッタ増加の概念図である。曲線aは、図4に示すSDI伝送システム200において、送信データTSDがパソロジカル信号である場合のジッタ増加を示している。曲線bは、図4に示すSDI伝送システム200において、送信データTSDがランダムデータである場合のジッタ増加を示している。

【0033】ところで、上述した各中継器でのジッタ量の累積を防止するために、図13に示す構成の中継器270を使用することが考えられる。

【0034】この中継器270は、デコード部280とエンコード部290とが直列接続されてなるものである。デコード部280は、上述した伝送データデコーダ

230と同様に構成され、同様の動作をするものである。すなわち、デコード部280のケーブル等化器281、PLL回路282、Dフリップフロップ283、NRZI/NRZ変換器284、デスクランブラ285およびS/P変換器286は、それぞれ伝送データデコーダ230におけるケーブル等化器231、PLL回路232、Dフリップフロップ233、NRZI/NRZ変換器234、デスクランブラ235およびS/P変換器236と同様の機能を持っている。

【0035】また、エンコード部290は、上述した伝送データエンコーダ220と同様に構成され、同様の動作をするものである。すなわち、エンコード部290のP/S変換器291、スクランブラ292、NRZ/NRZI変換器293、ケーブルドライバ294およびPLL回路295は、それぞれ伝送データエンコーダ220のP/S変換器221、スクランブラ222、NRZ/NRZI変換器223、ケーブルドライバ224およびPLL回路225と同様の機能を持っている。

【0036】ただし、エンコード部290においては、パラレルクロック信号PCKを発生する水晶発振器296が設けられ、そのパラレルクロック信号PCKが、PLL回路295に参照クロック信号として供給されると共に、P/S変換器291に供給されて使用される。

【0037】図13に示す中継器270の動作を説明する。同軸ケーブル250で送られてくるデータDinはデコード部280のケーブル等化器281に供給されて減衰特性が補償され、このケーブル等化器281の出力データはDフリップフロップ283およびPLL回路282に供給される。そして、PLL回路282ではケーブル等化器281の出力データに同期したシリアルクロック信号SCKrが得られ、このシリアルクロック信号SCKrはDフリップフロップ283に供給される。Dフリップフロップ283では、ケーブル等化器281の出力データがクロック信号SCKrでラッチされ、受信データRSDが得られる。

【0038】そして、この受信データRSDが、NRZI/NRZ変換器284でNRZI符号からNRZ符号に変換され、デスクランブラ285でデスクランブル処理されてシリアルデジタルデータSDrが得られ、さらにS/P変換器286でSDIフォーマットの10ビットのパラレルデジタルデータPDrに変換され、これがデコード部280の出力データとなる。

【0039】また、デコード部280より出力されるパラレルデジタルデータPDrは、エンコード部290のP/S変換器291に供給されてシリアルデジタルデータSDtに変換される。そして、このシリアルデジタルデータSDtは、スクランブラ292でスクランブル処理され、さらにNRZ/NRZI変換器293でNRZ符号からNRZI符号に変換されて送信データTSDが得られる。そして、この送信データTSDが再送

出データDoutとしてケーブルドライバ294より同軸ケーブル250に送出される。

【0040】図13に示す中継器270においては、デコード部280で一旦パラレルデジタルデータPDrに戻した後、エンコード部290で水晶発振器296からのパラレルクロック信号PCKに基づいて、P/S変換処理、スクランブル処理、NRZ/NRZI変換処理をして再送出データDoutを得るものであり、前段までのジッタを除去できる。したがって、この中継器270を各段の中継器として使用することで、ジッタの累積を防止することができる。

【0041】しかし、この中継器270は、伝送データデコーダ230と同様の構成のデコード部280と、伝送データエンコーダ220と同様の構成のエンコード部290とを有するものである。そのため、この中継器270を各段の中継器として使用することで、SDI伝送システム200の回路規模が大きくなると共に、高価となる問題がある。

【0042】そこで、この発明では、パソロジカル信号の多段伝搬を防止して多段中継時のジッタ量の累積増加を最小限に抑え、小さな回路規模でかつ安価に、高信頼性のシリアル伝送を可能にする信号処理回路等を提供することを目的とする。

【0043】

【課題を解決するための手段】この発明に係る信号処理装置は、所定のシリアルデジタルデータにある生成多項式で表されるスクランブル処理を施して得られた入力シリアルデジタルデータに対してデスクランブル処理をする第1の信号処理手段と、この第1の信号処理手段より出力されるシリアルデジタルデータに対して上記生成多項式で表されるスクランブル処理を施して出力シリアルデジタルデータを得る第2の信号処理手段とを備えるものである。

【0044】また、この発明に係る信号処理方法は、所定のシリアルデジタルデータにある生成多項式で表されるスクランブル処理を施して得られた入力シリアルデジタルデータに対してデスクランブル処理を施す第1の工程と、この第1の工程で得られるシリアルデジタルデータに対して上記生成多項式で表されるスクランブル処理を施して出力シリアルデジタルデータを得る第2の工程とを備えるものである。

【0045】この発明において、入力シリアルデジタルデータは、所定のシリアルデジタルデータ、例えばSDIフォーマットのシリアルデジタルデータにある生成多項式で表されるスクランブル処理を施して得られたものである。なお、入力シリアルデジタルデータは、所定のデジタルデータにある生成多項式を用いたスクランブル処理を施し、さらにNRZ符号からNRZI符号に変換してなるものであってもよい。この入力シリアルデジタルデータは、所定のデジタルデータが

特定のパターンのデータとなり、かつスクランブラやNRZ/NRZI変換器のDフリップフロップの状態が特定の状態にあるとき、パソロジカル信号（直流成分が最大となるパターンデータや“0”および“1”の連続周期の長いパターンデータ）となる。

【0046】この入力シリアルデジタルデータはデスクランブル処理され、そしてデスクランブル処理されて得られるシリアルデジタルデータが再度スクランブル処理されて出力シリアルデジタルデータが得られる。この場合、入力シリアルデジタルデータがパソロジカル信号である場合、デスクランブル処理されて得られるシリアルデジタルデータはパソロジカル信号を発生させる所定のパターンのデータとなるが、このとき再度スクランブル処理するスクランブラのDフリップフロップの状態がパソロジカル信号を発生させる所定の状態となっている確率は非常に低い。つまり、入力シリアルデジタルデータがパソロジカル信号である場合、出力シリアルデジタルデータもパソロジカル信号となる確率は非常に低くなる。

【0047】そのため、この発明における信号処理回路や信号処理方法を、例えばSDI伝送システムにおける各段の中継器に適用することで、パソロジカル信号の伝搬を防止でき、多段中継時のジッタの累積増加を最小限に抑えることが可能となる。

【0048】

【発明の実施の形態】以下、図面を参照しながら、この発明の実施の形態について説明する。図1は、実施の形態としてのSDI伝送システム100の構成を示している。このSDI伝送システム100は、送信側に配設されるSDIフォーマットエンコーダ110および伝送データエンコーダ120と、受信側に配設される伝送データデコーダ130およびSDIフォーマットデコーダ140と、送信側の伝送データエンコーダ120と受信側の伝送データデコーダ130とを接続する同軸ケーブル150と、その同軸ケーブル150の途中に所定の間隔をもって挿入されるn個の中継器（リピータ）160-1～160-nとを有して構成されている。

【0049】SDIフォーマットエンコーダ110は、図4に示すSDI伝送システム200におけるSDIフォーマットエンコーダ210と同様に、入力されるビデオデータVinおよびオーディオデータAinを処理して、SDIフォーマットの10ビットのパラレルデジタルデータPDtを生成して出力するものである。

【0050】また、伝送データエンコーダ120は、図4に示すSDI伝送システム200におけるSDIフォーマットエンコーダ210と同様の構成とされている。すなわち、SDIフォーマットエンコーダ110より出力されるパラレルデジタルデータPDtをシリアルデジタルデータSDtに変換するためのP/S変換器121と、このシリアルデジタルデータSDtに対して

生成多項式 ($X^9 + X^4 + 1$) で表されるスクランブル処理を行うスクランブラ122と、このスクランブラ122でスクランブル処理されて得られるシリアルデジタルデータに対して、非平衡伝送路としての同軸ケーブル150を用いるために、無極性化処理としてNRZ符号からNRZI符号に変換して送信データ(シリアルデジタルデータ)TSDを得るNRZ/NRZI変換器123とを有している。

【0051】また、伝送データエンコーダ120は、NRZ/NRZI変換器123で得られる送信データTSDを同軸ケーブル150に送出するためのケーブルドライバ124と、SDIフォーマットエンコーダ110より、パラレルデジタルデータPDtと共に出力されるパラレルクロック信号PCKtを参照し、その10倍の周波数のシリアルクロック信号SCKtを得るPLL回路125とを有している。ここで、P/S変換器121はパラレルクロック信号PCKtおよびシリアルクロック信号SCKtを使用して動作し、スクランブラ122およびNRZ/NRZI変換器123はシリアルクロック信号SCKtを使用して動作する。

【0052】スクランブラ122およびNRZ/NRZI変換器123は、図4に示すSDI伝送システム200におけるエンコーダ220のスクランブラ222およびNRZ/NRZI変換器223と同様に構成され(図6参照)、シリアルデジタルデータSDtに対して、 $G(x) = (x+1)(x^9+x^4+1)$ の多項式でモジュロ2の除算を行って送信データTSDを得ている。

【0053】また、伝送データデコーダ130は、図4に示すSDI伝送システム200における伝送データデコーダ230と同様の構成とされている。すなわち、同軸ケーブル150で送られてくるデータに対して、同軸ケーブル150の長さに依存する周波数依存性の減衰特性を補償するケーブル等化器131と、このケーブル等化器131の出力データに同期したシリアルクロック信号SCKrを再生するPLL回路132と、ケーブル等化器131の出力データをシリアルクロック信号SCKrでラッチして受信データRSDを得るDフリップフロップ133とを有している。この場合、ケーブル等化器131およびDフリップフロップ133によりデータ再生処理が行われる。

【0054】また、伝送データデコーダ130は、伝送データエンコーダ120におけるNRZ/NRZI変換器123の動作とは逆に、受信データRSDをNRZI符号からNRZ符号に変換するNRZI/NRZ変換器134と、伝送データエンコーダ120におけるスクランブラ122の動作とは逆に、デスクランブル処理をしてシリアルデジタルデータSDrを得るデスクランブラ135と、このシリアルデジタルデータSDrをSDIフォーマットの10ビットのパラレルデジタルデータPDrに変換するためのS/P変換器136とを有

している。

【0055】ここで、NRZI/NRZ変換器134およびデスクランブラ135は、PLL回路132で得られるシリアルクロック信号SCKrを使用して動作し、S/P変換器136はそのシリアルクロック信号SCKrと、S/P変換器136の内部で得られるパラレルクロック信号PCKrとを使用して動作する。この場合、S/P変換器136の内部では、例えば、シリアルデジタルデータSDrよりパターンマッチによってSAVやEAVを検出し、その検出タイミングに基づいてパラレルクロック信号PCKrの位相を決定している。

【0056】NRZI/NRZ変換器134およびデスクランブラ135は、図4に示すSDI伝送システム200におけるデコーダ230のNRZI/NRZ変換器234およびデスクランブラ235と同様に構成され

(図8参照)、受信データRSDに対して、 $G(x) = (x+1)(x^9+x^4+1)$ の多項式でモジュロ2の乗算を行ってシリアルデジタルデータSDrを得ている。

【0057】また、SDIフォーマットデコーダ140は、図4に示すSDI伝送システム200におけるSDIフォーマットデコーダ240と同様に、伝送データデコーダ130より出力されるSDIフォーマットの10ビットのパラレルデジタルデータPDtに対して、上述したSDIフォーマットエンコーダ110とは逆の処理をして、ビデオデータVoutおよびオーディオデータAoutを出力するものである。このSDIフォーマットデコーダ140には、伝送データデコーダ130よりパラレルクロック信号PCKrが供給されて使用される。

【0058】また、中継器160-1~160-nは、それぞれ受信データから抽出したクロック信号によってデータ再生(リジェネレーション)処理をし、再生されたデータを同軸ケーブル150に再送出するものである。

【0059】図2は、中継器160(160-1~160-n)の構成を示している。この中継器160は、同軸ケーブル150(図2には図示せず)で送られてくるデータDinに対して、同軸ケーブル150の長さに依存する周波数依存性の減衰特性を補償するケーブル等化器161と、このケーブル等化器161の出力データに同期したシリアルクロック信号SCKを再生するPLL回路162と、ケーブル等化器161の出力データをシリアルクロック信号SCKでラッチして受信データRSDを得るDフリップフロップ163とを有している。この場合、ケーブル等化器161およびDフリップフロップ163によりデータ再生処理が行われる。

【0060】また、中継器160は、受信データRSDを、伝送データエンコーダ120のNRZ/NRZI変換器123の動作とは逆に、NRZI符号からNRZ符号に変換するNRZI/NRZ変換器164と、このNRZI/NRZ変換器164の出力データに対し、伝送

データエンコーダ120におけるスクランブラ122の動作とは逆に、デスクランブル処理をしてシリアルデジタルデータSDrを得るデスクランブラ165とを有している。ここで、NRZ1/NRZ変換器164およびデスクランブラ165は、シリアルクロック信号SCKを使用して動作する。

【0061】また、中継器160は、シリアルデジタルデータSDrに対し、伝送データエンコーダ120のスクランブラ122と同様に、スクランブル処理をするスクランブラ166と、このスクランブラ166の出力データを、伝送データエンコーダ120のNRZ/NRZ1変換器123と同様に、NRZ符号からNRZ1符号に変換して再送出データDoutを得るNRZ/NRZ1変換器167と、その再送出データDoutを同軸ケーブル150に送出するためのケーブルドライバ168とを有している。ここで、スクランブラ166およびNRZ/NRZ1変換器167は、シリアルクロック信号SCKを使用して動作する。

【0062】図2に示す中継器160の動作を説明する。同軸ケーブル150で送られてくるデータDinはケーブル等化器161に供給されて減衰特性が補償され、このケーブル等化器161の出力データはDフリップフロップ163およびPLL回路162に供給される。そして、PLL回路162ではケーブル等化器161の出力データに同期したシリアルクロック信号SCKが得られ、このシリアルクロック信号SCKはDフリップフロップ163に供給される。Dフリップフロップ163では、ケーブル等化器161の出力データがクロック信号SCKでラッチされ、受信データRSDが得られる。

【0063】そして、この受信データRSDが、NRZ1/NRZ変換器164でNRZ1符号からNRZ符号に変換され、デスクランブラ165でデスクランブル処理されてシリアルデジタルデータSDrが得られる。また、このシリアルデジタルデータSDrが、スクランブラ166でスクランブル処理され、さらにNRZ/NRZ1変換器167でNRZ符号からNRZ1符号に変換されて再送出データDoutが得られる。そして、この再送出データDoutがケーブルドライバ168を通じて同軸ケーブル150に送出される。

【0064】次に、図1に示すSDI伝送システム100の動作を説明する。

【0065】送信側において、ビデオデータVinおよびオーディオデータVoutがSDIフォーマットエンコーダ110に供給されて処理され、SDIフォーマットの10ビットの平行デジタルデータPDtが生成される。この平行デジタルデータPDtは伝送データエンコーダ120に供給され、P/S変換器121でシリアルデジタルデータSDtに変換され、スクランブラ122でスクランブル処理され、さらにNRZ/NRZ1変換器123でNRZ符号からNRZ1符号に変

換されて送信データTSDが得られる。そして、この送信データTSDがケーブルドライバ124より同軸ケーブル150に送出され、中継器160-1～160-nを通じて受信側に送信される。

【0066】また、受信側において、同軸ケーブル150で送られてくるデータは伝送データデコーダ130に供給され、ケーブル等化器131およびDフリップフロップ133でデータ再生処理が行われて受信データRSDが得られる。そして、この受信データRSDが、NRZ1/NRZ変換器134でNRZ1符号からNRZ符号に変換され、デスクランブラ135でデスクランブル処理されてシリアルデジタルデータSDrが得られ、さらにS/P変換器136でSDIフォーマットの10ビットの平行デジタルデータPDrに変換される。そして、この平行デジタルデータPDrがSDIフォーマットデコーダ140に供給されて処理され、ビデオデータVoutおよびオーディオデータAoutが得られる。

【0067】以上説明したように、本実施の形態において、中継器160-1～160-nでは、同軸ケーブル150で送られてくるデータDinからケーブル等化器161およびDフリップフロップ163のデータ再生処理で得られる受信データRSDに対して、NRZ1/NRZ変換器164でNRZ符号に変換すると共に、デスクランブラ165でデスクランブル処理してシリアルデジタルデータSDrを得、その後このシリアルデジタルデータSDrに対して、スクランブラ166でスクランブル処理をすると共に、NRZ/NRZ1変換器167でNRZ1符号に変換して再送出データDoutを得るようにしている。

【0068】この場合、データDinがパソロジカル信号（直流成分が最大となるパターンデータや“0”および“1”の連続周期の長いパターンデータ）である場合、シリアルデジタルデータSDrは、パソロジカル信号を発生させる所定のパターンのデータとなるが、このときスクランブラ166およびNRZ/NRZ1変換器167のDフリップフロップの状態がパソロジカル信号を発生させ得る所定の状態となっている確率は非常に低い。つまり、データDinがパソロジカル信号である場合、再送出データDoutもパソロジカル信号となる確率は非常に低くなる。この場合の確率は、スクランブラ166およびNRZ/NRZ1変換器167は10個のDフリップフロップが使用されて構成されているので（図6参照）、 2^{-10} となる。

【0069】したがって、本実施の形態によれば、中継器160-1～160-nにおいてパソロジカル信号の伝搬を防止でき、多段中継時のジッタ量の累積増加を最小限に抑えることができ、高信頼性のシリアル伝送が可能となる利益がある。図12の曲線cは、図1に示すSDI伝送システム100において、送信データTSDがパソ

ロジカル信号である場合の多段中継時のジッタ増加を示している。

【0070】また、本実施の形態によれば、中継器 160-1 ~ 160-n が、一旦パラレルデジタルデータに戻し、その後水晶発振器からの新たなクロック信号を使用してスクランブル処理をすることで再送出データ D_{out} を得るもの（図 13 の中継器 270 参照）ではなく、デスクランブラ 165 より出力されるシリアルデジタルデータ S_Dr に、PLL 回路 162 で再生されたシリアルクロック信号 S_{CK} を使用してスクランブラ 166 で

スクランブル処理をすることで再送出データ D_{out} を得るものであり、回路規模を小さく、かつ安価に構成できる利益がある。

【0071】なお、上述実施の形態において、中継器 160（160-1 ~ 160-n）は、図 2 に示すように、デスクランブラ 165 の前段に NRZ I / NRZ 変換器 164 を配すると共に、スクランブラ 166 の後段に NRZ / NRZ I 変換器 167 を配してなるものである。しかし、NRZ I / NRZ 変換と、デスクランブル処理とは数学的に可換であるので、その順序を入れ替えても差し支えない。これにより、中継器 160（160-1 ~ 160-n）を、図 3 に示すように NRZ I / NRZ 変換器 164 や NRZ / NRZ I 変換器 167 を省略して構成することが可能となり、回路規模をさらに減らすことができる。この場合のパソロジカル信号の伝搬確率は、スクランブラ 166 を構成する D フリップフロップが 9 個であることから 2⁻⁹ となるが、これでも十分に小さいといえる。

【0072】また、上述実施の形態は、この発明を S D I フォーマットのデータを伝送する伝送システム 100 に適用したものであるが、この発明は H D（High Definition）S D I フォーマット（S M P T E - 2 9 2 M で標準化されている）のデータ等のようにパソロジカル信号の伝搬のおそれがあるその他のデータの伝送システムにも同様に適用できることは勿論である。

【0073】

【発明の効果】この発明によれば、所定のシリアルデジタルデータにある生成多項式で表されるスクランブル処理を施して得られた入力シリアルデジタルデータに対して、デスクランブル処理をし、その後上に記生成多項式で表されるスクランブル処理を施して出力シリアルデジタルデータを得るものである。したがって、この発明を例えば S D I 伝送システムの中継器に適用することで、パソロジカル信号の多段伝搬を防止して多段中継

時のジッタ量の累積増加を最小限に抑えることができ、小さな回路規模でかつ安価に、高信頼性のシリアル伝送が可能となる。

【図面の簡単な説明】

【図 1】この発明の実施の形態としての S D I 伝送システムの構成を示すブロック図である。

【図 2】中継器の構成を示すブロック図である。

【図 3】中継器の他の構成を示すブロック図である。

【図 4】従来の S D I 伝送システムの構成を示すブロック図である。

【図 5】S D I フォーマットを説明するための図である。

【図 6】スクランブラと NRZ / NRZ I 変換器の構成を示すブロック図である。

【図 7】従来の中継器の構成を示すブロック図である。

【図 8】NRZ I / NRZ 変換器とデスクランブラの構成を示すブロック図である。

【図 9】サグデータの発生を説明するための図である。

【図 10】同軸ケーブル上でのサグデータの波形例を示す図である。

【図 11】ビットスリップデータの発生を説明するための図である。

【図 12】多段中継時におけるジッタ増加の概念を示す図である。

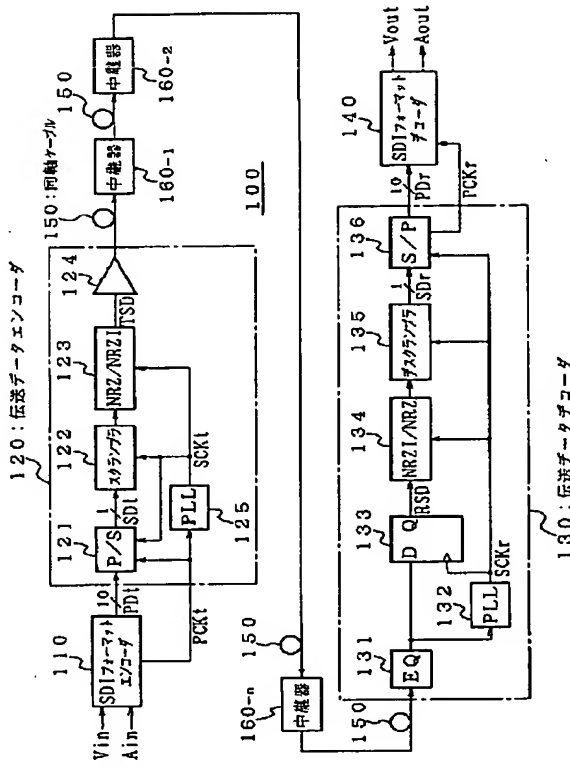
【図 13】中継器の構成例を示すブロック図である。

【符号の説明】

100・・・S D I 伝送システム、110・・・S D I フォーマットエンコーダ、120・・・伝送データエンコーダ、121・・・P / S 変換器、122・・・スクランブラ、123・・・NRZ / NRZ I 変換器、124・・・ケーブルドライバ、125・・・PLL 回路、130・・・伝送データデコーダ、131・・・ケーブル等化器、132・・・PLL 回路、133・・・D フリップフロップ、134・・・NRZ I / NRZ 変換器、135・・・デスクランブラ、136・・・S / P 変換器、140・・・S D I フォーマットデコーダ、150・・・同軸ケーブル、160、160-1 ~ 160-n・・・中継器、161・・・ケーブル等化器、162・・・PLL 回路、163・・・D フリップフロップ、164・・・NRZ I / NRZ 変換器、165・・・デスクランブラ、166・・・スクランブラ、167・・・NRZ / NRZ I 変換器、168・・・ケーブルドライバ

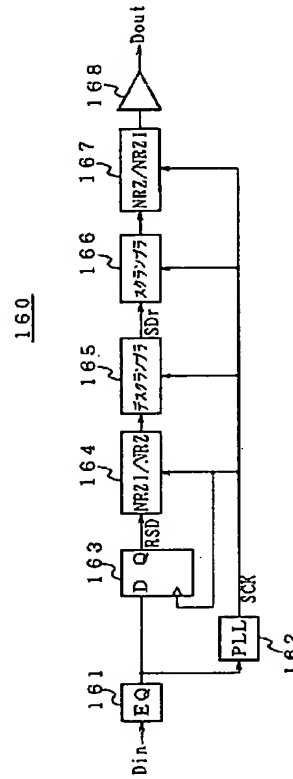
【図 1】

実施の形態 (SDI 伝送システム)



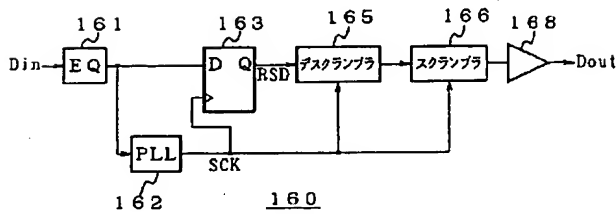
【図 2】

中継器の構成



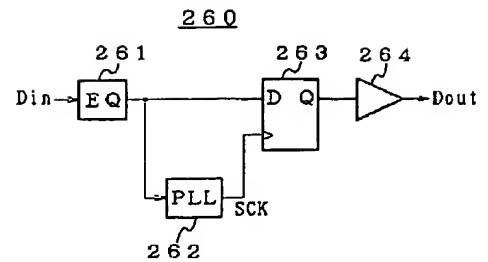
【図 3】

中継器の他の構成



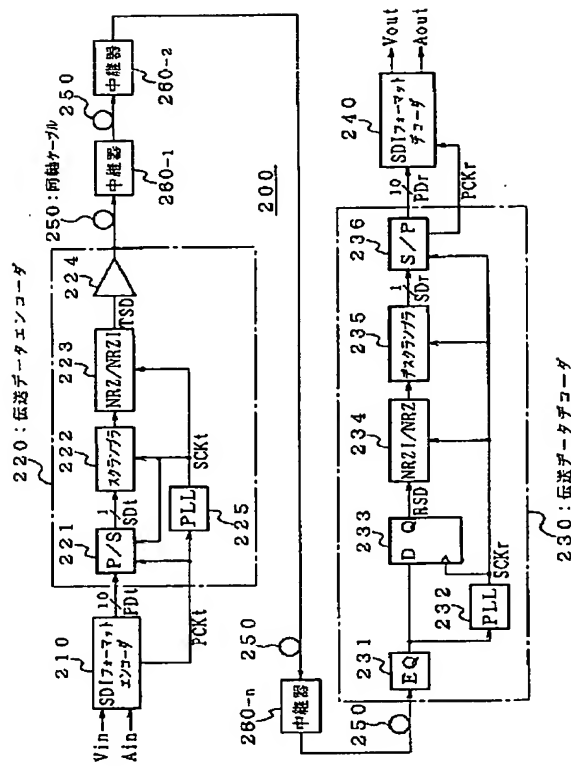
【図 7】

中継器の構成



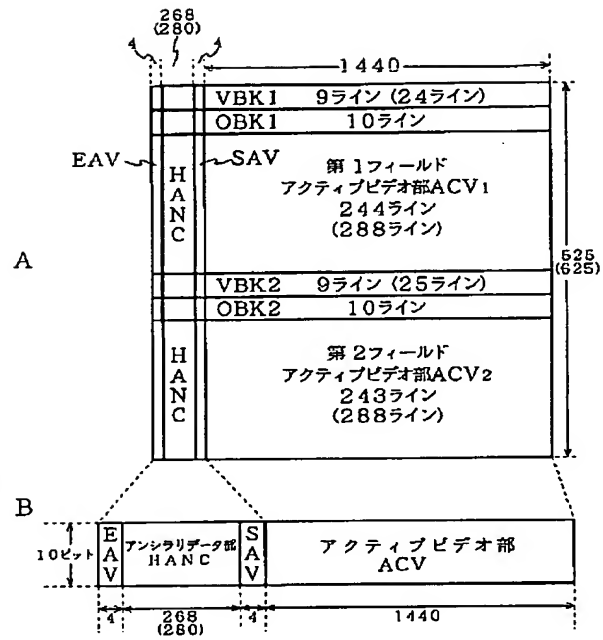
【図4】

SDI 伝送システムの構成例



【図5】

SDIフォーマット

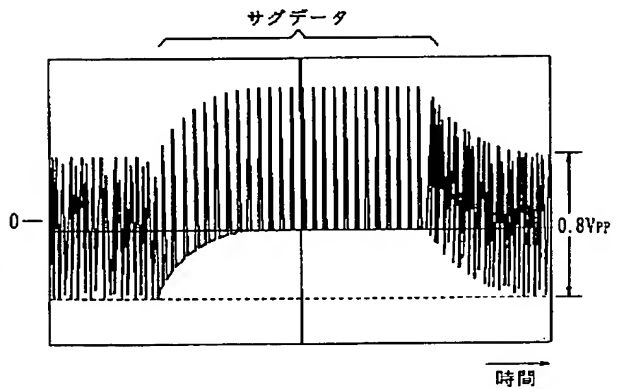
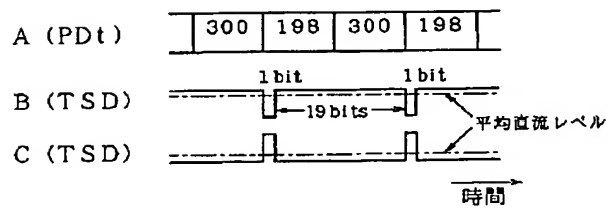


【図10】

同軸ケーブル上でのサグデータの波形例

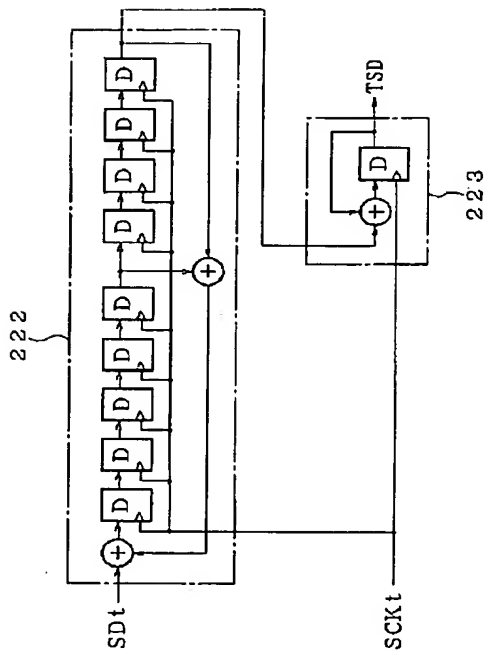
【図9】

サグデータの発生



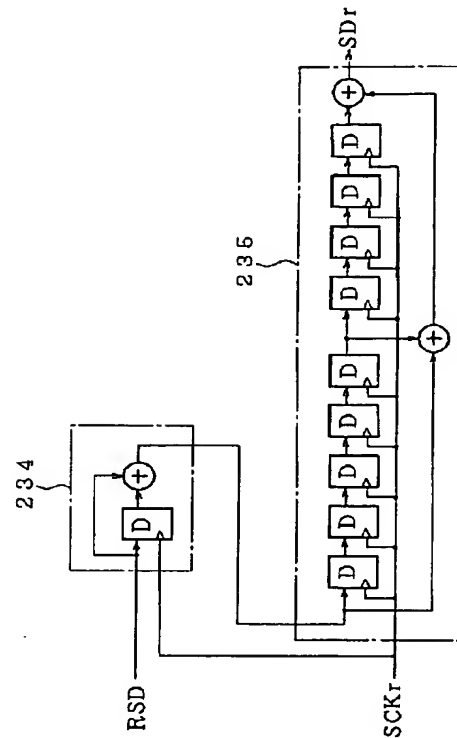
【図6】

スクランブラとNRZ/NRZI変換器の構成



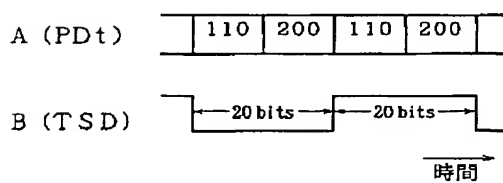
【図8】

NRZI/NRZ変換器とデスクランブラの構成



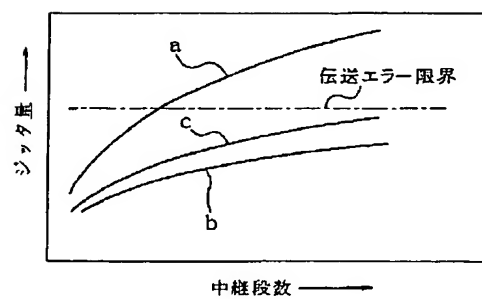
【図11】

ビットスリップデータの発生

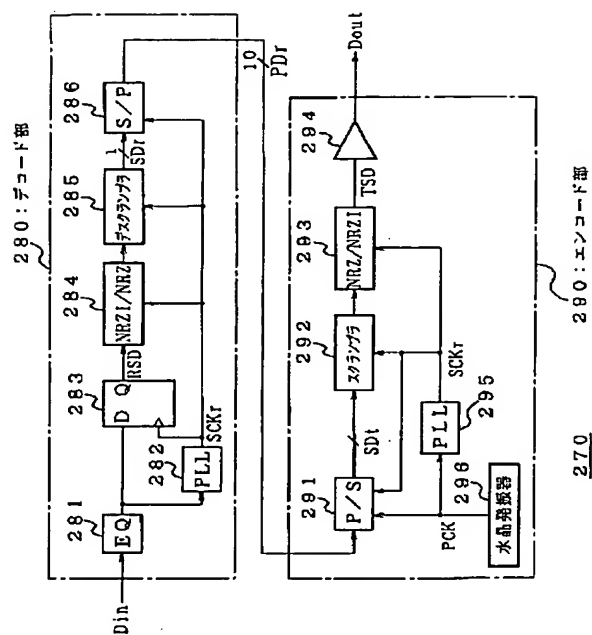


【図12】

多段中継時におけるジッタ増加の概念図



中継器の構成



H O 4 L	7/00
H O 4 N	7/16
	7/167

HO 4 L	7/00
HO 4 N	7/16
	7/167

E
A
Z